## PATENT ABSTRACTS OF JAPAN

(11)Publication number:

07-202693

(43) Date of publication of application: 04.08.1995

(51)Int.CI.

H03M 1/10 H03M 1/06

(21)Application number : 06-296698

(71)Applicant: NOKIA MOBILE PHONES LTD

(22)Date of filing:

30.11.1994

(72)Inventor: MIKKOLA PEKKA

LINTINEN MARKKU

**RANTA JUKKA** 

(30)Priority

Priority number: 93 935346

Priority date : 30.11.1993

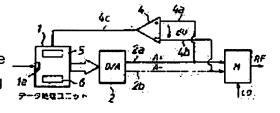
Priority country: FI

## (54) METHOD AND DEVICE FOR COMPENSATING FOR SIGNAL OFFSET IN ELECTRONIC DEVICE

## (57)Abstract:

PURPOSE: To economically compensate DC offset voltage in a D/A converter considering also changes due to temperature changes or the like.

CONSTITUTION: An error correcting register 5 is used, whose value is changed based on DC offset, and the changed value is added to each signal simple to be converted to execute DC offset compensation. The value of the register 5 is changed during the period of a testing mode. A control value previously set the zero volt output of an ideal D/A converter is applied to the D/A converter 2, the voltage values of respective outputs of differential output pair 2a, 2b provided in relation to the converter 2 are compared, and the polarity of the voltage difference dU and the polarity, i.e., sign, of the relativce DC offset



are verified. Consequently a value in the register 5 is increased or reduced by one from a initially set value, which is preferably zero based on the polarity of the voltage difference dU.

## **LEGAL STATUS**

[Date of request for examination]

20.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特許公報(4) 噩 (2) (19) 日本国物部庁 (JP)

特開平7-202693 (11) 特許出國公開番号~~~

(43)公開日一平成7年(1995):8月·4日

P 1 广内监理器导

2

H03M (51) Int C.

**技権表示**箇所

審査請求 未請求 請求項の数20 01 (全 7 頁)

(71) 出題人「59005612 平成6年(1994)11月30日 フィンシンド (F1) 林岡平6-296698 1993年11月30日 935346 (31) 優先権主張森丹 (33)優先権主張国 (21)田原藤中 (32) 優先日 (22) // (質日

ノキア モービル フォーンズ リミティ フィンランド国, エスエフー24101 サロ, サロ, サーリスカツ 6 エーエス. 7 フィンランド因, エフアイエヌ-24100 フィンランド国、エフアイエヌ-24280 サロ, ブオリクヤ 2 エーエス. 18 弁理士石田 飲 (外3名) ピー、オー、ポックス 88 マルック リンティキン ペッカ ミッコラ (74)代理人 (72) 免明者 (72) 発明者

最終買に扱く

**単子装置における信号オフセットを補償するための方法、及びそのための装置** 丘の柏償に関し、温度変化等による変化をも考慮した袖 [月的] ロノムコンバータに於けるDCオフセット代 **聞を軽折的に行うことを目的とする。** 

(54) [発明の名称]

より部に流すりの極能に基づいてエラー訂正レジスタ内 の何が当初な定された初期何から1ずつ何分又は減分さ て変更され、変換されるべき各信号サンブルに加えられ A コンパータのゼロボルト出力に対応して予め設定され た胡砂値をD/Aコンパータ2に供拾し、このコンパー の電圧傾を比較して、その電圧流すりの極性及び相対的 なりにオフセットの域性つまり符号を検証する。これに 【構成】 - 本発明に於いてはエラー訂正レジスタ5が用 いられる。このレジスタの値がひこオフセットに基づい てDCオフセット補償を行う。エラー訂正レジスタの値 **タ に関選して設けられた液分出力対2 a. 2 bの各出力** は、テスティングモード中に変更される。県想的なD/ れる。尚、この初期傾はゼロである事が発ましい。

г イベニに野球で 97 nΡ 37

【請求項1】 電子数價 (2;8) に於ける信号のオフ 所定の信号を前記電子装置 (2;8) に入力する段階 セットに対して袖償を行う方法であって、 (特許請求の範囲)

(2;8)からの理想的な出力と実際の出力との差分を それぞれ前記所定の倡号に対応して、前記電子装置 示すエラー信号を募き出す段階と、

前記値を前記電子装置(2;8)に対する次の信号入力 前記エラー信号に応じて、記憶手段(5;12, 13) 内に格納された和償館を変更する段階と、

に加算する段階と、

【期求項2】 前記漢分が取小値を通過するまで前記所 を有するオフセット補償方法。

定の信号を次の信号としながら前記各段階を繰り返す段 [請求項3] 前記電子装置 (2;8) がD/Aコンパ 踏を更に有する都求項1に配載の方法。

【潜水項4】 前記エラー信号が前記差の極性を投示し ている請求項1乃至3のいずれか1項の配做の方法。 - ラである請求項1に記載の方法。

【胡水項5】 前配電子装置(2;8)が差分的な対出 カポートを有しており、前配実際の信号が差分信号であ 【群水項6】 前記所定の信号が実質的に大きさゼロで 【勘求項7】 前記エラー信号が、前記差分信号のそれ ぞれの信号間での差を示すものである都求項5に配載の ある翻氷項1乃至5のいずれか1項に記載の方法。 る請求項1乃至4のいずれか1項に記破の方法。

【静欢项8】 前記記憶手段 (5;12,13) に格納 された値は、前記板性がマイナスである場合には切分さ れ、前記極性がブラスである場合には減分される都求項 4 乃至7 のいずれか1 項に配敬の方法。

【
南水
取
9 】 前記
差分の
最小
航
の
通
るが
前
記
き
分
の 【游泳項10】 | 前記各段階が、前記電子装置が動作し ていない期間中に行われる請求項1乃至9のいずれか1 生の変化によって示される都求項2に配板の方法。

「静泉項11】 電子装置 (2;8) に於ける倡号のオ 項に配取の方法。

前記電子装置 (2;8) に所定の信号を入力する為の人 フセットに対して福假を行う為のオフセット福假数限で

カ手段 (1;7) と、

所定の倡号を前記電子装置 (2;8) に入力する為の入 それぞれ前記所定の倡号に対応して前記紀子装置(2; 力手段 (1;7) と、

8) からの理想的な出力と実際の出力との差分を示すエ 前記検出されたエラー倡号に従って、記憶手段(5;1 2, 13) 内に格納された福俊値を変更する為の変更手 ラー倡号を検出する検出手段 (4;10,11)と、

前記値を前記電子装置(2;8)に対する次の信号入力 に加算する為の加算手段と、

[数水項12] - 前記電子数既 (2;8) かD/Aコン を見録するオフセット補償牧囚。

【群冰項13】 前記検出手段 (4:10, 11) が前 記法分の極性を検出するように適合されている群氷項1 パータである請求項11に記載の数配。 1又は12に記収の数配。

【都求項14】 前配電子数配 (2;8) が、競分信号 するように適合されている請求項11乃至14のいずれ として実際の信号を出力する差分信号ボート対を悩えて 【間次項15】 前記入力手段(1;7)が、実質的に 大きさゼロの所定信号を前配電子数配 (2;8)に入力 いる都求項11万至13のいずれか1項に配復の效因。 かり項に配板の装配。

【都求項16】 前記検出手段が、前記弦分併号のそれ ぞれの信号回の遊分を検出するように適合されている類 米瓜14に記録の装配。 [初次項17] 前記記位手段 (5;12,13) 内に 各的された値が、前記模性がマイナスである場合には均 分され、前記板性がブラスである場合には減分される類 水項13万至16のいずれか1項に配収の效配。

[都永収18] 前記差分が前記段小値を通過する状態 が、前記差分の極性の変化によって示される割求項13 に配板の数限。 前記入力手段(1;7)は、前記電子 **塩ሺ(2;8)が動作していないときに所定の信号を値** 記電子装置に入力する精液項11万至18のいずれか1 項に記載の装置。 【初水瓜19】

【静水机20】 前配配位手段(5;12,13) に格 的される値が更新されるとき、フリータイムスロット又 は前配電子装置(2;8)の非動作を検出する為の装置 (15)を更に具備する都次項19に記載の装置。 【発明の詳細な説明】

[0001]

し、特に、デジタル無線電器のD/AコンパータのDC 【産業上の利用分野】本発明は、D/AコンパータのD Cオフセット電圧の袖償を行う為の方法及び投償に関

オフセット和圧を袖位するための方法及び效例に関す

[従来の技術] デジタル無線電路においては、送信され ってアナログ信号に変換される。アナログ倡号は、無数 咒器の無税周波数部に結合されて無袋信号として発信さ れる。このD/Aコンパータについては次のような問題 がある。即ち、出力に低レベルのゆっくりと変化する口 Cオフセットが生じることである。通常、これは回路部 るべき信号の変類が変異器のデジタル部分で行われ、そ の後、蛟閊されたデジタル信号がD/Aコンパータによ

品の特性が理想通りに得られない為であって、数換され

-

- 2 -

は、移動電話の発信信号における概述波の環波という好 ましくない情景を生じ、これが得号の遺信を妨害する。 従ってロノハコンバータのDCオフセットを相似するこ るべきデジタル信号には関係ない。D/Aコンパータ とが発ましい。

するための公知の方法においては、D/Aコンパーチと さと同じたきさをもち、かつ異性がこれと反対の値をエ 【0003】 D/AコンパータのDCオフセットを柏俊 因迷したエラー訂正レジスターが川いられ、このレジス 9 - の内谷の何が計韻されたDCオフセットに応じて数 化され、この変化された信号が変換されるべき各信号に 加えられる。D/AコンバータのDCオフセットの大き ラーゴボレジスターの為の値として得ることによってD **じホフセットに対して補償を行うことが出来る。** [0004]

る。この温度変化による挙動は予想する事が不可能であ り、また規則的に生じるものでもなく、さらにD/Aコ ンパータのユニット版にそれぞれバラつきがある。各口 は耗済的な見地からは良い方法とは行えない。温度変化 オフセットの補償方法は、温度変化に起因するDCオフ セットの変化を考慮に入れていないという点で問題があ /Nコンバータの奴状の温度浴場をいちいち特徴してい によるDCオフセットの変化を考慮したDCオフセット [発明が解決しようとする課題] 上記述べたようなDC の計画値をリノAコンパータ毎にメモリに記憶すること の補償は何か別の精済的な方法で行ってやる必要があ

[0002]

3) に格割された福度値を要更する段階と、その値を上 (1:7)と、それぞれこの所定信号に対応して、上記 [県因を解決するための手段] 本発明の第1の形態によ れば、電子装置(2:8)に於ける信号のオフセットに (2:8)に人力する段階と、それぞれ上記所定倡号に 記載子校置(2:8)に対する次の信号人力に加算する の形態によれば、電子装置(2;8)に於ける信号のオ フセットに対して補償を行う為の装肌において、上記税 子装置(2:8)に所定の信号を入力する為の入力手段 **りして柏貫を行う方法において、所定の信号を電子装置** 母応して、上記電子装置(2:8)からの理想的な出力 と実際の用力との差分を示すエラー信号を導き出す段階 段階とを備えた方法が提供される。また、本発明の第2 電子装置 (2:8) からの理想的な出力と実際の出力と 0. 11) と、このエラー信号に応じて記憶手段(5; と、その何を上記電子装置(2 :8)に対する次の信号 人力に加算するみの加算手段とを共闘する装置が結構供き と、このエラー信号に応じて、記憶手段(5;12, 1 12. 13) に記憶された補償債を変更する変更手段 の及分を示すエラー信号を検出する検出手段(4;1

れる。本発明は、本発明の装置を搭載した装置設備の作 [作用] 本発明に係る上記形態によれば、複雑なルック アップテーブルを用いる必要なく、オフセットの変化に 因わり無くオフセットの袖償が行えるという利点が得ら 動中に袖供の値を更新する事を可能にし、更に、熱ドリ フト又はその他の電子装置の好ましくない挙動をも考慮 に入れた袖正が行われる。

【0007】好ましい実施形態においては、上記光分が における補正位の初期化を行う事が出来るという利点が これにより本発明を利用する装置の、例えば始動期間中 最小値を通過するまでこの方法が繰り返し実行される。 得られる。

しい。これは、袖正位の更新又は変更が、係る電子装置 の通常動作を妨げる事無く行い得るようにするためであ 上記所定信号が入力されるように構成されることが翌ま 【0008】また、本発明の方法及び装置においては、 その技匠が通常の目的で使用されていないときにだけ、

群都に説明するが、以下の説明は本発明の範囲をこの実 【災施例】以下、本発明を添付図前に示す実施例を基に 植例にのみ限定する趣旨ではない。 [0000]

とを有する。処理ユニット1は、マイクロプロセッサを 場にした回路要券であって、これはエラー訂正レジスタ い。エラー訂正レジスター5は、場合によってはD/A れても良い。処理ユニット1とD/Aコンパータ2とは くとも一封の出力2a、2bを有しており、これらの出 力からの信号A+,A-は大きさが互いに同じであるが 柢性が反対である。比較器4は入力端子48,16を持 cは、処理ユニット1に接続されている。D/Aコンパ いる。テスティングユニット6は、処理ユニット1と関 コンパータに関連づけて処理ユニット1の外側に設置さ データパス1bを介して相互に接続される。D/Aコン 通常、これはそれぞれ異なった目的の為の多数のレジス ターを有して構成される。D/Aコンパータ2は、少な a, 2 bにそれぞれ接続されている。比較器4の川力4 ータ2の川力2a,2bはRF変調器3にも接続されて 迅づけてプログラム可能なように構成されるのが置まし と、D/Aコンパータ2と、RF安国路3と、比較路4 パータ2はマイクロプロセッサ回路の周辺装置であり、 [0010] 図1に示す回路構成は、処理ユニット] 一5とテスティングユニット6とを有するのが好まし っており、これらはD/Aコンパータ2の結婚出力2

[0011] 図1に示す回路構成において、例えば8ピ ットワードのシリアル倡号であるデジタル信号が、入力 1 aから処理ユニット1に入力される。処理ユニット1 において1個又はそれ以上の数の変調信号が、適用され る変蹟方法に応じて得られ、これらの変蹟信号がデータ パス1bを軽由してパラレルにD/Aコンパータ2に人

から得られるアナログ倡号A+,A-はRF変調器3に 人力される。上記アナログ信号A+,A-とローカル発 力される。D/Aコンパータ2の遊動出力対2a,2b 振器信号とがRF変調器3の中で組み合わされて偽周波 信号が形成され、これが無線経路に送り出される。

【0012】D/AコンパータのDCオフセットを袖仮 するための本発明の装置は、D/Aコンパータ2の差動 を含む。DCオフセットのチェック及び袖償は、処理ユ ニット 1 及びD/Aコンパータ 2 から無線経路に送られ エラー訂正レジスター5と、テスティングユニット6と るべき信号が存在しない時にいつでも行われる。このフ 出力対2a, 2bと、比較器4と、処理ユニット1と、 ェーズを以下テスティングモードと呼ぶ。

ジスター 5 は適当な初期値を有している。この初期値は ユニット 6 からデータパス 1 もを軽由してD/Aコンパ ータ2に人力される。この場合、もしDCオフセットが 生じていなければ、D/Aコンバータ2によって行われ たD/A 蛟梭の後、各遊動出力2a,2bはゼロポルト 【0013】図1に示す本発明の装置を用いたDCオフ セットの袖償は、以下のように行われる。エラー訂正レ トし、理想的なD/Aコンパータの出力からのゼロボル トに対応する制御値が、処理ユニット1のテスティング このオンによってテスティングモードが迅流なくスター ゼロであるのが望ましい。次いで変顕器がオンされる。

0mvであると仮定すると、比較器の入力4a,4bの 号が得られる。即ち、出力が一定のプラスの包圧まで偽 められる。処理ユニット1は比較器4の出力4cの状態 てるので、仮にDCオフセットがあればそれは芸動出力 2 a. 2 bのそれぞれの電圧変化として現れる。もしも **聞には蒸電圧dU=(UA+)-(UA-)=-10m** vが印加される。D/Aコンパータ2の出力2a. 2b ナスであるかは比較器4によって決定される。この例に おいては、比較器4によって行われた比較の結果、増予 0m~である場合には比較器1の出力4cにプラスの信 を検査し、もしこれが高い時には、エラー訂正レジスタ **一5の内容から1を減分して内容を変更し、それにより** この例においてはエラー訂正レジスター5の値が-1 と 【0014】 差動出力2a, 2bは、お互いから独立し り、一方、出力2bに現れる信号A-の偵UA-が+1 の差電圧dUの極性、即ち差電圧がプラスであるかマイ 4 a, 4 bに現れる瓷電圧がマイナス、即ちdU == 1 出力2aにおける信号A+の値UA+が+0mvであ

【0015】テスティングフェーズに関連して更新され D/Aコンパータ2の差動出力2a,2bの出力電圧の 送d Uの極性、即ち、差配圧がプラスであるかマイナス たエラー訂正レジスター 5の値がテスティングユニット 6の超貨値に加えられ、その結果がD/Aコンパータ2 に入力され、テスティングフェーズが再び開始される。

定電圧値に保持される。処理ユニット1によって比較器 4の出力4cの状態がチェックされ、もしこの状態が偽 +,A-のオフセット電圧dUが依然としてマイナスで ある場合には、比較路4の川力1cの状態がブラスの一 であるかが呼び比較器イによってチェックされ、信号A い状態であれば、エラー们正レジスター5の内容の値が 1を焙し引く亦によって更新される。即ち、エラー们正 レジスター5の似がこの例においてはー2となる。

ニット1によってチェックされ、従って流電圧dU及び [0016] 上述のテスティングフェーズは、テスティ で得られたものから変化するまで綴り返される。従って それにより比較器4の出力4cの状態もブラスの一定電 圧からマイナスの一定電圧へ変化する。即ち、出力が低 DCオフセットが、エラー们正レジスター5の似の袖段 ここに記載される例においては、信号A+, A-のオフ くされる。比較器1の川力1cの状態の変化は、処理コ の結果、本例においては可及的にゼロに近づくというこ 2 もの出力和圧の流 4 Uが以前のテスティングフェーズ ングモードにおいて、D/Aコンパータ2の川力2g。 セット配圧 J D の存むがマイナスからプラスに致わり、 る。DCオフセットの袖頃の初頃化が効率よく行われ、 とがわかる。これによりテスティングモードが終了す 数期器が通常の動作を行い得る状態となる。

な時間の隔をおいて載り返される。この明隔は、例えば 【0017】上記テスティングモードを組み込んだ質問 テスティングモード及びDCオフセットの袖償は、上記 は、高いままとされ)、エラー们正レジスター5の組か らしが差し引かれる。比較路々の出力4cの花圧状態が **高から低へ、あるいはその反対に変化されなかったとし** て行われない。このテスティングモードは適当な規則的 路又は牧囚がオンされるとすぐに、このテスティングモ ードが上述のような
即様で国位されるようにするのが
説 ましい。また、テスティングモードを通常の動作期間の 町の周囲、何えば実際の信号の発信周囲と次の発信周囲 した様な変調器のオンに引き続いて行われる第1のテス のゼロ信用に対応する質質信託がD/Aコンパータ2に 人力される。D/Aコンパータ2の出力2 a, 2bの間 もし、差電圧がブラスであれば、比較器4の川力4cが 低くされ (又は、低いままとされ) 、エター们正レジス ター5の内容が1だけ増加され、一方反対に盗電圧がマ ても、テスティングモードは終了し、袖段動作は模殻し ティングフェーズと対応する単一のテスティングフェー ズとして災猫される。即ち、鬼包的なD/Aコンパータ との同において、极り返し行う様にするのが望ましい。 の流電圧もUの極性が、比較器4によって検証される。 イナスであれば、比較器4の川力4cが上昇され(又

ングモードの繰り返し周期及びエラー们正レジスター5 [0018] DCオフセットの変化の切合は、テスティ

1 秒とか 1 分とかであり、川流やその他の条件によって

[9000]

- 4 -

の更新の開拓に比べても十分に低い。従ってテスティングフェーズこれよりも短い周囲で行ってやる必要はな

(0019) 四2は、後勤にが明GMS Kg望路を示す。この袋却器は、処理ユニットとして機能するほりプロセッサ7と、リイムコンパータ8と、1 人員協談数数 温器りとを有しており、これらは記載した部序で近回に登載されている。時分割フレームだ、人力コネクタ 7 aを介してはジプロセッサフは、スカコネクタ 7 aを介してはジプロセッサフは、スカコネクタ 7 aを介してはジプロセッサフは、これに供給されたデータから、1 及びQブランチの各の製剤は3を形成する。これらの製剤は34、データパス7 bを特別してパラレルにD/Aコンパータ8へ返られる。1 レイコンパータ8は、2 対の発用が8 a, 8 bからはQブランチの為の第1のアナロツ発用が13 3 bからはQブランチの為の第1の7 4 2 bがらは7ランチの為の第2の7 + 1 - が得られ、

[0020] これらの次出力信号(0+, 0+, 1+及び 1-は、1/CM改改設副器号に供着され、そこにてこれらの信号は、ローカル信号LOを用いて高周設信号に 契約され、その後、近いにミックスされて高い協設数となり適当な無報信号(国示せず)を形成してこれが顕微 4格に送られる。テスティングニット14は、信号プロセッサ7付、父はこれと関連してプロケッサ7付、父はこれと関連してプロケッカは他数第 コーットとして形成される。信号プロセッサ7は比較器1 0、11の出力10c、11cをチェックすると共にエラー出信レジスター12、13の更落を行う機能を持 [0021] D/Aコンバータ8の旧り8a, 8b及び た発用力対8a、8b及び8c、8d、東びにこれに関 11bがHDM8a, 8b及び8c, 8dにそれぞれ接 とを含んでいる。エラー訂正レジスター12, 13及び Sc,8dにおいては、既に述べたように、正に温度変 化に起因する電圧ドリフトによってDCオフセットが生 しる。投資は、ロノAコンバータのDCオフセットを袖 原するために、D/Aコンパータ8に国連して数けられ **戻されている。投資はさらに信号プロセッサフを含んで** おり、これに比較器10及び11のそれぞれの旧力10 訂正レジスター12, 13とテスティングユニット14 c及び11cが接枚されており、さらに、二つのエラー テスティングユニット14は処理ユニット1に関連づけ 送して設けられた「つの比較器10,11を有してお り、これらの比較器の人力10g,10b及び11g, てなけることが発ましい。

【のの22】D/Aコンパータ8において発生する可能 性のあるDCオフセットは、次のような環境で補正される。D/Aコンパータ8のDCオフセットは、このコンパータルの数は指によって必得される時分類パーストを

変弾するために用いられていない時に計画される。即 も、テスティングモードにおいては、理想的なD/Aコンパータのゼロボルト出力に対応するデジタル部卸値が、パラレルにテスティングユニット14か5D/Aコンパータ8の出力に保格される。この場合、D/Aコンパータ8の出力に保格される。回り、全ての出力の配位がゼロとなるはずである。ロノAコンパータ8の第1の出力対8a,8bの出力の電圧値UQ+,UQーが第1の比数48。8dの出力の電圧傾UQ+,UQーが第1の比数48。8dの出力の電圧傾UQ+,UQーが第10比を8の第2の出力対8。8dの出力の電圧傾U [0023] D/Aコンバータ8の削力材8 a, 8 b及 び/もしくは8 c, 8 dに於ける間力の電圧差付 U1 = (UQ+) - (UQ-) 及び/もしくは付 U2 = (U I +) - (U I -) がプラスであると、比較器 10 b及び/もしくは 11 に於ける出力 10 c及び/もしくは 11 c が低くされる。即ち、この間力がマイナスの一定の電圧 値とされ、これがデジタル信号プロセッサ 7によって検 低され、エラー訂正レジスター12 及び/もしくは 13 の内容の値がこれに応じて 1 だけ効分される。

【0024】 D/Aコンパータ8の地力対8 a, 8 b 及びくもしくは8 c, 8 dに於ける肌力の電圧差もリ1 及びくもしくは4 U 2がマイナスであると、比較器 1 0 及びくもしくは11に於ける肌力10 c 及びくもしくは11に於ける出力10 c 及びくもしくは11 cが高くされる。明ち、この出力がプラスの一定の電圧的とされ、エカがデジタル得写プロセッサフによって発症され、エラー訂正レジスター12 及びくもしくは13 に 各コラゴエレジスター12 及びくもしくは13 に おける側がD C オフェートにより、特にD/Aコンパーク8 の間力対8 a、8 b 及びくもしくは8 c、8 d に於いて生じる発電圧の符合によって決定される。

**偵が加えられたテスティングユニット 1 4 の制物値がD** る。前回のテスティングフェーズに関連して更新された エラー訂正レジスター12及び/もしくは13に於ける /Aコンバータ8に入力される。次いで比較器10及び .a、8b及び/もしくは8c、8dに於けるH力の溢d こつの出力du1及び/もしくはdu2の一方叉は両方 が依然としてブラスであれば、対応する又は両方の比較 しくは11cの状態がマイナスの低い一定間圧に維持さ れる。信号プロセッサ7によって比較器10及び/6し くは11の状態、即ち二つの出力の一方又は両方が低い 一町近レジスター12及び/もしくは13に於ける内容 器10及び/もしくは11に於ける出力10c及び/も 状態が検査され、これによって対応する又は両方のエラ UI及び/もしくはdU2の核性が検証される。もし、 【0025】上記テスティングフェーズは繰り返され /もしくは11により、D/Aコンパータ8の出力8

に1が加えられて変更される。

100261上記テスティングフェーズは、D/Aコンパータ8の胎力対8a、8b及び/もしくは8c、8dに対ける出力電圧の差dUI及び/もしくはdU2の機性が変化するまで繰り返される。この場合、本例においては、オフセット電圧dUI及び/もしくはdU2に於ける符号UQ+, UQ-及び/もしくはUI+, UI-の符号がプラスからマイナスに変化し、それによって比較器10及び/もしくは11にの状態がマイナス信号からプラス信号へもしくは11にの状態がマイナス信号からプラス信号へをしくは11にの状態がマイナス信号からプラス信号へを配く行われる。

[0027] 両比較器10,11の出力10c,11c の状態に何ちかの変化が生じれば、この変化が信号プロセッサフによって検証される。その特果、対応するエラー訂正レジスター12及び/6しくは13の値の治菌が行われ、オフセット電圧 d U U 2 並びにD C オフセットが可及的にゼロに近づくことがわかる。これによりテスティングモードが終了する。変調器は通常の動作を行い得る状態となる。その後、エラー訂正レジスター12,13の値が、変換されるべき各項等サンブルに加えられ、またこれに対応してQ及び1プランチの出力信号に加えられ、それによりDCオフセットの過度が行わる。 [0028]信号プロセッサ7歳いはこれに対応するデータ処理ユニットは、例えば路型ユニット16,17のような設置を含むことが覚ましい。この装置16,17は、名比較器10,11の出力の電圧状態、特に、連接するこのテスティングフェーズの間のテスティングモードに於けるこの電圧状態の変化をモニケリングする3のものである。比較器の出力の電圧状態がブラスからマイナスへ、又はその逆に変化した時、路理ユニット」6,17によって与えられる情報に基づいてテスティングモードが終了する。この例においてはエラー訂正レジステー12,13の航が変更されずに保持される。

[0029] 移動電路又はこれに対応する装置がオンされると、すぐに、上述のような隠様でテスティングモードが数テスティングモースにわたって行われ、エラー 所にレジスター12、13の内容が耐状に数回にわたってチェックされる。移動電路の道体の使用場回中に、適当な時間開催セラー前にレジスター12、13の内容を更新するとが望まれるへき実際の信号を範囲してしたい時に行われる。本実施例においては、エラー前にレジスター12、13の更新は数テスティングコーズ以内、極端には一つのテスティングフェーズ内においては、ゼロボルトに対応する即回船が、テスティングコープに、ゼロボルトに対応する即回船が、テスティングコープには、ゼロボルトに対応する即回船が、テスティングコープには、ゼロボルトに対応する即回船が、テスティングコープト14からD/Aコンバータ8に暗き込まれる。もし出力対8 a、8 b 及び/もしくは。c、8 d の位置に

がける窓も U 1 及び/もしくは d U 2 がプラスであるならば、エラー訂正レジスター 1 2 及び/もしくは 1 3 の値から 1 が減じられ、もしこれがマイナスであれば 1 が 回えられることは資達の通りである。その後、テスティングモードは終了され、比較器 1 0, 1 1 の m カ 1 0 c, 1 1 c の 出力の収認の変化については特に注意が払

[0030] 回じ手順が図」に示されるDCオフセットの始低及び窓路に図追して返行される。DCオフセットの変化の初合が小さいので、各時回回路中においてテスティングフェーズを一回行うだけでよい。

[0031] 移動電話又はこれに対応する設置の通常の使用に関してテスティングモードが気行される市に電み、D/AコンパータのDCオフセットを抽取する為の設置に、図2に示される設置15を含めることが選ましい。この設置15は、昨分前パーストの設出及び/6しくはフリータイムスロットの設出を行って、テスティングモードの期間中にエラー訂正レジスター12,13の内容を更新する事を可能にするものである。設置11は、デジタル信号でロセッサ7に関連して設ける事が出来、既存の構成を用いてプログラムと一体に災災する事

(0032) データ処理ユニットは、契覇器に供給されたデジタル信号を処理する機能と、テスティングモード特にテスティングユニットをモニターする機能と、1個又以往それ以上の比較器の状態を徐浩する機能と、1個又はそれ以上のエラー訂正レジスターの内容の値をセットする機能とを持っている。既に述べたように、このデータ処理ユニットは、例えば、デジタル信号でロセッサ及は基理関係、あるいはその組み合わせによって、マイクロコンピュータペースの数偶として火鬼する事が指来

(0033)以上の説明から、当窓者に辞いては本巻明の結固を逸臥する中なく協々な質形が成し得る中は明かであろう。特に、本発明は、DCオフセットの過度を必要とする即何なるタイプの回路や川遠にも適用可能であ

。。 「034] 本発明の範囲は、明細路に削載されているか又は単に示唆されているのみか、また、指派の でいるか又は単に示唆されているのみか、また、指派の 範囲に述べられた発明に関連するか否か、只は当初の間 型を解決するものであるか否かに関わらず、明細時内に 周示された所以な特徴の組合わせを 含むものである。本出額の係属中によれらの特徴につい て筋たなクレームを作成して提出するか、又はそのよう なクレームを指して本額から減生する他の出額を行う 「個能があるということを付配する。 「図面の間単な説明]

【図1】D/Aコンパータに於けるDCオフセットを柏 貸する本効明に係る回路構成を示したプロック図であ

[四2] D/Aコンバータに於けるDCオフセットを植 位する本発則に係る部分を含む移動和語のGMS K 変調 器のブロック国である。

【作品のの行動】

…データ処理ユニット と…ロノハコンバータ 3…RF效磁器

6…テスティングユニット 7…信号プロセッサ

5…エラー訂正レジスター

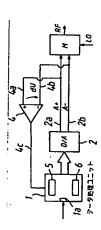
9…1/0周波数変類器

8…D/Aコンパータ

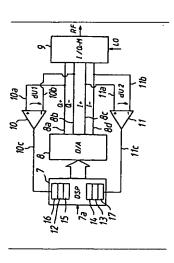
10, 11…比較器

12, 13…エラー訂正レジスター 14…テスティングユニット

三 三



[第2]



ソロントページの税ぎ

フィンランド国、エフアイエス-24130 (72)発明者 ユッカ ランタ

サロ、ラシンプハルタヤンカツ 5 エー

[公報預期] 特許法第17条の2の規定による補正の掲載 (発行日] 平成14年4月5日(2002.4.5) [皓門区分] 第7 皓門第3区分

[公開日] 平成7年8月4日 (1995, 8, 4) [年通号数] 公開特許公報7-2027 【公開番号】 特開平7-202693

[出願番号] 特觀平6-296698 [国际特許分類第7版]

8

170

H03H

[F I]

2 RE 03

[提出日] 平成13年11月20日 (2001, 11. (手製袖正位)

[手続袖正1]

50

[植正対象啓類名] 明細度

【補正対象項目名】特許請求の範囲 [植正方法] 変更

[相正内容]

[特許請求の範囲]

【朝永項1】 電子装置 (2;8) に於ける信号のオフ 所定の信号を前記電子装置(2;8)に入力する段階 セットに対して袖償を行う方法であって、

前記電子装置 (2;8)からの、各々が前記所定の信号

丘封応する理想的な出力と実際の出力との差分を示すエ 前記エラー信号に応じて、記憶手段(5;12,13) ラー倡号を導き出す段階と、

前記加低値を前記電子装置 (2;8) に対する次の信号 内に格納された相似値を変更する段階と 入力に加算する段階と、

を有するオフセット植質方法。

定の信号を次の信号としながら各前記段階を繰り返す段 [請求項3] 前配電子装置 (2;8) がD/Aコンパ 【湖水項2】 前記差分が最小値を通過するまで前記所 附を更に有する請求項1に記載の方法。

ータである請求項1に記破の方法。

カポートを有しており、前起実際の信号が差分倡号であ 【請求項4】 前記エラー信号が前記差分の極性を表示 【荫水项5】 前配電子装價 (2;8) が差分的な対出 している甜求項1乃至3のいずれか1項巨記報の方法。 る都求項1乃至4のいずれか1項に配数の方法。

【請求項7】 前記エラー信号が、前記差分信号のそれ 【湖水項6】 前記所定の信号が実質的に大きさゼロで **どれの信号間での差を示すものである都米項<u>5又は6</u>に** ある都永項1乃至5のいずれか1項に記載の方法。

[都永贞8] 前記記位手段 (5;12,13) に格納 された値は、前記風性がマイナスである場合には増分さ 1、前記模性がブラスである場合には減分される勘求項 4 乃至7 のいずれか1 項に記載の方法。

[都来項9] 前記差分の最小値の通過が前記差分の極 性の変化によって示される都求項<u>4乃至8のいずれか1</u> 重に配載の方法。

【都求項10】 全前記段階が、前記電子装置が動作し ていない期間中に行われる湖水瓜1万至9のいずれか1 項に配扱の方法。

フセットに対して袖償を行う為のオフセット袖償投配で [請求項11] 電子装置 (2:8) に於ける信号のオ きって、

所定の倡号を前配電子装置 (2;8) に入力する為の入 力手段 (1;7) と、

前配電子装置(2;8)からの、各々が前配所定の信号 2, 13) 内に格納された福政省を変更する為の変更手 に対応する理想的な出力と実際の出力との第分を示すエ 前記放出されたエラー信号に従って、記憶手段 (5;1 ラー信号を検出する検出手段(4;10,11)と、

尚記述低値を前記電子数配(2;8)に対する次の信号

入力に加算する為の加算手段と、 を具備するオフセット袖依装匹。 [勘永項12] 前記電子装置 (2:8) がD/Aコン

【開來項13】 前記後出手段 (4;10,11) が崩 記差分の極性を傾出するように適合されている群氷項1 パータである語次項11に記載の数配。

【都求項14】 前記電子数價 (2;8) が、差分信号 として実際の信号を出力する遵分信号ボートはを備えて いる請求項11万至13のいずれか1項に記載の投頂。 1又は12に配収の效配。

[翻录项15] 前記入力手段(1;7)が、実質的に

[0031] 移動電器又はこれに対応する数間の通常の み、D/AコンバータのDCオフセットを袖段する為の 炎肌に、図2に示される装置15を含めることが留まし い。この装置15は、時分割パーストの検出及び/もし グモードの期間中にエラー訂正レジスター12, 13の は、デジタル信号プロセッサ7に関連して設ける印が出 来、既存の構成を用いてプログラムと一体に実現する事

使用に関してテスティングモードが実行される事に鑑

**特開平7-202693** 

大きさゼロの所定信号を前記電子数限 (2;8) に入力 するように適合されている蔚永項11万至14のいずれ かり項に記載の装置。

ぞれの信号側の差分を依由するように適合されている間 【請求項16】 前記除出手段が、前記差分信号のそれ **水瓜14<u>火は15</u>に記収の装置。** 

【请求項17】 前記記憶手段(5:12,13)内に 倚頼された低が、前記模性がマイナスである場合には増 分され、前記板性がプラスである場合には減分される語 米項13万毛16のいずれか1項に記扱の装置。

前記巻分の属性の変化によって示される語求項13<u>万五</u> 【胡求項19】 前記人力手段(1;7)は、前記電子 【備水項18】 前記差分が最小値を通過する状態が、 1.7 のいずれかし項に記録の装置。

(清水灯20) 前記記位下段(5:12,13)に格 22. (2:8) が動作していないときに所定の信号を崩 的される創が更新されるとき、フリータイムスロット又 は前記電子装置(2:8)の非動作を検出する為の装置 記載子装置に入力する語家項11万重18のいずれか1 (15)を更に共働する超水項19に記載の装置。 項に記録の装置。

[治正对象性類名] 明細語 1.数语言.2]

[南正对象项门名] 0005

(相正方法) 変更

(南川)谷(1) 0002

**れば、電子装置(2;8)に於ける信号のオフセットに りして補償を行う方法において、所違の信号を電子装置** 【課題を解決するための手段】本発明の第1の形態によ

からの。各々が上記所定の信号に対応する理想的を出力 3) に信頼された柏信値を変更する段階と、その抽位値 をし記電子校置(2:8)に対する次の信号入力に加算 する段階とを備えた方法が提供される。また、本発明の 第2の形態によれば、電子装置(2:8)に於ける信号 のオフセットに対して袖償を行う為の投償において、上 記憶子投置(2:8)に所定の信号を入力する為の入力 F段 (1:7) と、L記述子装置 (2:8) からの<u>、各</u> <u>々が上記所記の信号に対応する</u>理想的な用力と実際の出 と実際の出力との差分を示すエラー信号を導き出す段階 力との意分を示すエラー信号を検出する検出手段(4; (2;8) に入力する役階と、上記電子装置 (2;8) と、このエラー信号に応じて、記憶手段(5;12,1

(南正对象存取名] 明曲符 が提供される。 [五弦描示3]

[補正対象項目名] 0011

[相正方法] 変更 [袖正内容] [0011] 図1に示す回路構成において、例えば8ピ

において1個又はそれ以上の数の変調信号が、適用され | aから処理ユニット|に入力される。処理ユニット| パス1bを経由してパラレルにD/Aコンパータ2に入 から得られるアナログ信号A+,A-はRF安開器3に 人力される。上記アナログ信号A+, A-とローカル発 振器信号<u>10</u>とがRF変調器3の中で組み合わされて高 周故信号<u>RE</u>が形成され、これが無線経路に送り出され ットワードのシリアル倡号であるデジタル倡号が、人力 る変異方法に応じて得られ、これらの変異信号がデータ 力される。D/Aコンパータ2の遊動出力対2a,2b

[手被袖正4]

【相正对象项目名】0018 【袖记抄象啓知名】 明細醇

[相正方法] 蛟更 [袖正内容]

ングモードの繰り返し周期及びエラー訂正レジスター5 の更新の明陽に比べても十分に低い。従ってテスティン グフェーズ全これよりも短い周期で行ってやる必要はな 【0018】 DCオフセットの変化の初合は、テスティ

[小弦卷形5]

[袖正対象哲類名] 明細書

【杨正对象项目名】0021

[柚正方法] 蛟更

8 c. 8 dにおいては、既に述べたように、主に温度変 た差削力対8 a, 8 b及び8 c, 8 d、並びにこれに関 [0021] D/Aコンパータ8のHiわ8a, 8b及び 化に起因する電圧ドリフトによってDCオフセットが生 じる。技能は、D/AコンパークのDCオフセットを袖 餃するために、D/Aコンパータ8に関連して設けられ 11bが出力対8a,8b及び8c,8dにそれぞれ接 **読されている。装置はさらに信号プロセッサ1を含んで** おり、これに比較器10及び11のそれぞれの相力10 c及び11cが接続されており、さらに、二つのエラー **紅正レジスター12, 13とテスティングユニット14** とを含んでいる。エラー訂正レジスター12,13及び テスティングユニット14は処理ユニット2に関連づけ り、これらの比較器の人力10a,10b及び11a, 逃して散けられた二つの比較器10,11を有してお (有)[内容]

[杨正对象你類名] 明細你 て扱けることが毀ましい。 (手袋補正6)

(5:12, 13) に記憶された補償値を変更する変更 次の信号人力に加算する為の加算手段とを見聞する数既

10, 11) と、このエラー信号に応じて記憶手段

下段と、その趙匱如を上記電子装置(2;8)に対する

【補正対象項目名】0024

| 植正方法|| 変更

[0024] D/Aコンパータ8の出力対8a, 8b及 ぴ/もしくは8c, 8dに於ける出力の電圧落dU1及 **ぴ/もしくはdU2がマイナスであると、比較器10及** び/もしくは11に於ける出力10c及び/もしくは1 1 cが高くされる。即ち、この出力がプラスの一定の電 **検証され、エラー訂正レジスター12及び/もしくは1** て、各エラー訂正レジスター12及び/もしくは13に タ8の出力対8a、8b及び/もしくは8c、8dに於 圧位とされ、これがデジタル信号プロセッサイによって 於ける飷がDCオフセットにより、特にD/Aコンバー 3の内容の値がこれに応じて1だけ減分される。従っ いて生じる港電圧の符畳によって決定される。

くはフリータイムスロットの検出を行って、テスティン

内容を更新する事を可能にするものである。投配<u>15</u>

[福正对象的规名] 図面 (福正対象項目名) 図1

[中稅相正8]

が川来る。

[柏正方法] 蛟更

[物正内容]

[四]

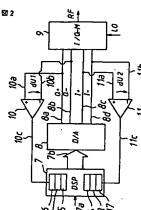
[相正対象項目名] 0031 [植正対象哲類名] 明細容 [相正方法] 変更 [柏正内容]

[手続相正7]

【補正対象啓類名】図面 [小数档定9]

[植正対象項目名] 図2

[袖正方法] 敦更 [袖正内容] [四2]



- 01 -